

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-214670

(43)Date of publication of application : 05.08.1994

(51)Int.CI.

G06F 1/00

G06F 1/24

G06F 9/445

(21)Application number : 04-135746

(71)Applicant : INTEL CORP

(22)Date of filing : 30.04.1992

(72)Inventor : BELL D MICHAEL

(30)Priority

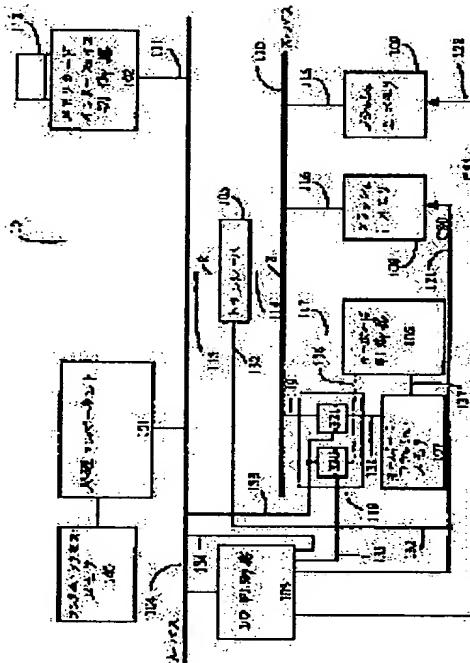
Priority number : 91 692573 Priority date : 29.04.1991 Priority country : US

## (54) COMPUTER SYSTEM AND METHOD FOR INITIALIZING THE SAME

(57)Abstract:

**PURPOSE:** To attain bootstrap without using a read only memory by sending the execution control of a processing component for executing processing logic to the inside of an external storage device when the processing component starts resetting at the time of being connected to a system bus.

**CONSTITUTION:** A random access memory 140 is connected to the processing component 101 so as to store data or an instruction to be handled and executed by the processing component 101. An I/O controller 103 receives an input/output command from the processing component 101 through a bus 104 and generates a requested signal. A memory card interface controller 102 is an interface and a controller to which an attachable/detachable flash memory card 112 is inserted. The flash memory card or a specific storing place at another external storage device is accessed by adding an address to the controller 102 through the bus 104.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-214670

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 06 F 1/00 1/24 9/445	3 7 0 B	7165-5B		
	7165-5B 9367-5B		G 06 F 1/00 9/06	3 5 0 B 4 2 0 H
			審査請求 未請求 請求項の数 2 FD (全 10 頁)	

(21)出願番号 特願平4-135746

(22)出願日 平成4年(1992)4月30日

(31)優先権主張番号 6 9 2 5 7 3

(32)優先日 1991年4月29日

(33)優先権主張国 米国 (U S)

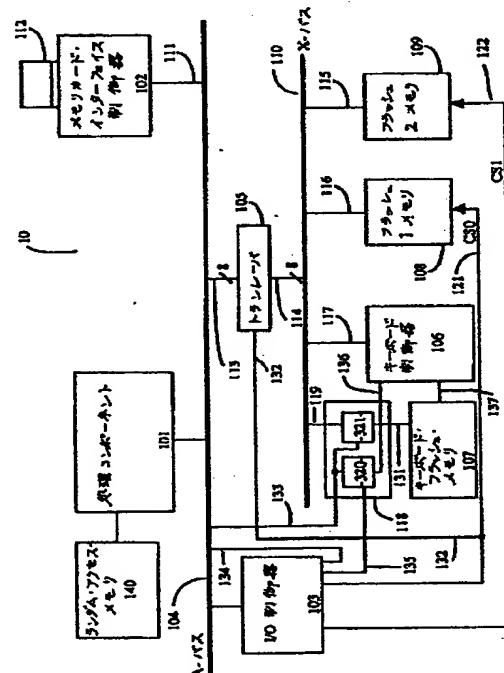
(71)出願人 591003943  
インテル・コーポレーション  
アメリカ合衆国 95052 カリフォルニア  
州・サンタクララ・ミッション・カレッジ  
ブーリーバード・2200  
(72)発明者 ディ・マイケル・ペル  
アメリカ合衆国 97007 オレゴン州・ビ  
ーパートン・サウスウェスト 152エヌデ  
イ・8160  
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 コンピュータ装置およびそれを初期化する方法

(57)【要約】

【目的】 内蔵されている読み出し専用メモリを用いることなしにコンピュータ装置をブートストラップする手段を得ることである。

【構成】 コンピュータ装置が、プロセッサおよび関連するメモリを内蔵の読み出し専用メモリからブートストラップ・ロードする代わりに、外部記憶装置からブートストラップ・ロードする。コンピュータ装置はシステム・バスと、処理コンポーネントと、第1のシステム・メモリと、メモリ・カード・インターフェイス制御器と、このメモリ・カード・インターフェイス制御器へ結合される外部記憶装置とで構成される。



**【特許請求の範囲】**

**【請求項 1】** データおよび制御情報を転送するためのシステムバスと、このシステムバスへ結合され、処理論理を実行するための処理コンポーネントと、前記システムバスへ結合され、処理論理を内部に記憶する外部記憶装置と、前記処理コンポーネントのリセットを開始する手段と、前記処理コンポーネントをリセットした時に、前記処理コンポーネントの実行制御を前記外部記憶装置内の場所へ送る手段と、を備えることを特徴とするコンピュータ装置。

**【請求項 2】** システムバスと、処理コンポーネントと、前記システムバスへ結合される外部記憶装置へ結合される外部記憶装置とを有するコンピュータ装置を初期化する方法において、前記処理コンポーネントのリセットを開始する過程と、前記処理コンポーネントが前記リセット開始過程でリセットされた時に、前記処理コンポーネントの実行制御を、前記外部記憶装置内の場所へ送る過程と、前記外部記憶装置内に配置されている命令を実行する過程と、を備えることを特徴とするコンピュータ装置を初期化する方法。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明はコンピュータ装置の分野に関するものである。とくに、本発明はブートストラップローディングコンピュータ装置またはブートストラッピングコンピュータ装置の分野に関するものである。

**【0002】**

**【従来の技術】** 従来の多くのコンピュータ装置は、最低限、プロセッサと、ランダムアクセス記憶装置と、読み出し専用記憶装置とで構成される。各種の計算器のような装置はプロセッサと読み出し専用記憶装置だけで動作できる。読み出し専用記憶装置（ROM）およびある種のランダムアクセス記憶装置は、コンピュータ装置への電力供給が断たれた時に破壊されない不揮発性メモリである。従来のコンピュータ装置は、その内部の読み出し専用記憶装置に記憶されている処理論理（すなわち、ファームウェア）を用いて、典型的にブートストラップされる（すなわち、電源投入時に初期化される）。読み出し専用記憶装置は不揮発性記憶装置であるから、ROM内のファームウェアは有効なデータまたは情報を含むことを保障される。したがって、従来のコンピュータ装置はROM内のファームウェアを用いて確実にブートストラップできる。コンピュータ装置に電源を投入した時にROM内のファームウェアを実行すると、ブートストラップ・ファームウェア論理は、コンピュータ装置の資源の動作状態を決定するために一連の診断テストを開始する。それらの診断テストの1つが利用できるランダムアクセ

スマモリで実行される。典型的な従来のコンピュータ装置は揮発型のランダムアクセスメモリ、たとえばダイナミックランダムアクセスメモリ（DRAM）を有するから、コンピュータ装置の電源投入時におけるランダムアクセスメモリの初めの内容は初期化されず、使いものにならない。ランダムアクセスメモリの動作の完全性を確認するために、ファームウェア処理論理は、ランダムアクセスメモリがデータを保持できるかどうかを判定するために、一連のデータ書き込み命令およびそれに続くデータ読み出し命令を実行することにより、ランダムアクセスメモリを利用する。ランダムアクセスメモリの診断テストが終わると、ROMブートストラップ・ファームウェアが、ランダムアクセスメモリへオペレーティング・プログラムをロードするタスクを行う。典型的には、オペレーティング・プログラムはディスクまたはテープを用いるデータ記憶装置からファームウェアにより読み出され、ランダムアクセスメモリ内の所定の場所へ転送される。ランダムアクセスメモリへのロードが終わると、ランダムアクセスメモリに格納されているオペレーティング・プログラム中のスタート位置へ実行制御を転送することにより、ブートストラップ・プロセスが終わられる。このようにして、従来のコンピュータ装置を最初にブートストラップするために内部ROMが用いられる。

**【0003】** ブートストラッピングに加えて、他の目的のために従来のコンピュータ装置においてはある種のROMがしばしば用いられる。たとえば、コンピュータ装置を一意に識別する識別コードを格納するためにROMが用いられる。他の装置においては、特定のプリセットユーチャー構成、または一定のシステムパラメータセットを保持するために構成データがROMに格納される。したがって、種々の理由から、従来のコンピュータ装置はある種のROMを含む。コンピュータ装置をブートストラッピングまたは構成するためにROMを用いることはいくつかの問題がある。従来のコンピュータ装置で用いられる読み出し専用メモリは種々の利用可能なデバイス（すなわち、ROM、PROM、EPROM、EEPROM）の1つで、集積回路チップの様で構成される。ROMに含まれているファームウェアの変更または更新を行うためには、ROMチップをコンピュータ装置の内部の回路板から物理的に外さねばならない。更新または変更されたファームウェアを含んでいる別のROMチップを、コンピュータ装置の回路板のソケットへ挿入され、または回路板へはんだ付けされる。このファームウェア更新手順は時間と費用がかかり、かつROMの交換過程で回路板を取り扱うから別の問題をひき起こしやすい。また、ROMファームウェアが用いられる時には構成制御の問題がひき起こされる。特定のコンピュータ装置における構成制御の問題は僅かに異なることがあるから、コンピュータ装置製品の製造、供給および出張サービスにおいて高いレベルの構成制御を必要とする。個々

のユニットが一様に構成されない場合には、コンピュータ装置の大量生産およびサービスがますます困難になる。コンピュータ装置をブートストラッピングするためのより良い方法および手段が必要とされる。

## 【0004】

【発明が解決しようとする課題】したがって、本発明の目的は、回路板に取り付けられる読み出し専用メモリを用いることなしにコンピュータ装置をブートストラッピングするための手段を得ることである。本発明の別の目的は、回路板に設けられているメモリを物理的に外すことなしにオペレーティング・システム・プログラムを更新できるようなコンピュータ装置を得ることである。本発明の別の目的は、最初の電源投入時に有効な記憶内容を必要としないコンピュータ装置を得ることである。本発明の別の目的は、外部記憶装置からプロセッサがブートストラップ・ロードされるようなコンピュータ装置を得ることである。本発明の更に別の目的は、オペレーティング・ソフトウェアの現場でのアップグレードが一層効率で、少ない費用で行えるようなコンピュータ装置を得ることである。

## 【0005】

【課題を解決するための手段】本発明は、プロセッサが、回路板に取り付けられている内部読み出し専用メモリからブートストラップ・ロードされる代わりに、外部記憶装置からブートストラップ・ロードされるようなコンピュータ装置に関するものである。このコンピュータ装置はシステムバスと、処理コンポーネントと、第1のシステム記憶装置と、メモリ・カード・インターフェイス制御器と、このメモリ・カード・インターフェイス制御器へ接続される外部記憶装置とで構成される。好適な実施例においては、第1のシステム記憶装置と外部記憶装置はフラッシュ記憶装置である。本発明の好適な実施例は第2のシステム記憶装置と、キーボード記憶装置と、キーボード制御器も提供する。好適な実施例においては、第2のシステム記憶装置とキーボード記憶装置もフラッシュ記憶装置である。このコンピュータ装置は処理コンポーネントのリセットおよび初期化を行わせるリセットスイッチも提供する。

【0006】リセットされると、メモリ・カード・インターフェイス制御器内の論理が、コンピュータ装置の他のコンポーネントに特殊なブートストラップ・ローディング・オペレーションを行うことを指令する信号を、ブートストラップ・ローディング中に発生する。これらのオペレーションは、第1のシステム記憶装置に関連するアドレス空間を外部記憶装置へ再マップすることを含む。このようにして、処理コンポーネントの実行制御がリセット時に外部記憶装置へ向けられる。そうすると、この処理コンポーネントへ結合されているローカル・ランダムアクセス記憶装置へ外部記憶装置からロードできる。ブートストラップ・ローディング中に別の再マッピ

ング・オペレーションが実行され、それにより第2のシステム記憶装置に関連するアドレス空間が、キーボード記憶装置へ再マップされる。この再マップによりキーボード記憶装置を処理コンポーネントによりロードおよび検査できるようにされる。また、ブートストラッピング・オペレーション中に、キーボード制御器をリセット状態に保持して、ブートストラップ・ローディング・オペレーションの進行中にコンピュータ装置をキーボード制御器により手動リセットすることを阻止するための信号が発生される。キーボード記憶装置とローカル・ランダム・アクセス記憶装置が外部記憶装置からロードされると、第1の記憶装置と第2の記憶装置のアドレス空間再マッピングが正常な態様へ復旧される。そうすると、第1の記憶装置と第2の記憶装置をロードおよび検査できる。ブートストラップ・ローディング過程が終わると、リセット状態がキーボード制御器から除去され、コンピュータ装置は正常な動作へ復帰する。

## 【0007】

【実施例】本発明は、プロセッサが、回路板上の読み出し専用記憶装置からブートストラップ・ロードされる代わりに、外部記憶装置からブートストラップ・ロードされるようなコンピュータ装置に関するものである。以下の説明においては、本発明をより完全に説明するために、数多くの特定の詳細について説明する。しかし、それらの特定の詳細なして本発明を実施できることが当業者には明らかであろう。他の場合には、本発明をあいまいにしないようにするために、周知の構造、回路、インターフェイスは詳しくは説明しなかった。

【0008】まず、本発明のコンピュータ装置のアーキテクチャのブロック図が示されている図1を参照する。処理コンポーネント101がシステムバス104へ結合されている様子が示されている。本実施例においては、処理コンポーネント101は本願出願人により製造販売されている80386SLチップである。システムバス104は、本実施例ではIBM PC-ATコンパチブル・バスである。80386SLチップとATバスは周知のものである。

【0009】ランダム・アクセス・メモリ140は、処理コンポーネント101により取り扱われ、または実行されるデータおよび命令を記憶するために処理コンポーネント101へ結合される。処理コンポーネント101内のメモリ制御器はランダム・アクセス・メモリ140の動作を制御する。図1に示すコンピュータ装置はバス104へ結合されるI/O制御器103も含む。このI/O制御器も本願出願人により製造販売されている82360SL I/O制御器である。I/O制御器103は処理コンポーネント101からバス104を介して入力/出力指令を受け、求められている信号を発生する。

【0010】本実施例においては、メモリ・カード・インターフェイス制御器102もシステムバス104へ結

合される。このメモリ・カード・インターフェイス制御器102はインターフェイスおよび制御器であって、それに着脱可能なフラッシュ・メモリ・カード112を挿入でき、それによりバス104と、バス104へ結合されている別のデバイスとへ結合される。着脱可能なフラッシュ・メモリ・カード112は、本発明の実施例において使用できるある種の外部記憶装置の1つの特定の態様である。本発明に使用するために適当な他の態様の外部記憶装置は、記憶内容を保持するために電池が接続されているランダム・アクセス・メモリ(RAM)カードと、消去可能かつプログラム可能な読み出し専用メモリ(E PROM)カード、またはコンピュータ装置の回路板上の電気接点へ直結されるインターフェイスを有するテストデバイスとを含む。それら代わりの外部記憶装置は、本実施例のフラッシュ記憶装置の使用に等しいやり方で使用できる。

【0011】フラッシュ・メモリ・カード112または他の外部記憶装置における特定の記憶場所を、アドレスをバス104を介してメモリ・カード・インターフェイス制御器102へ加えることにより、アクセスできる。メモリ・カード・インターフェイス制御器102とフラッシュ・メモリ・カード112は、標準的なパーソナル・コンピュータ・メモリ・カード・インターフェイス(PCMCIA)を用いるページ付きの拡張された記憶装置として動作する。このPCMCIAインターフェイスによりフラッシュ・メモリ・カード112をメモリ・カード・インターフェイス制御器102から取り外すことができる。したがって、フラッシュ・メモリ・カード112は着脱可能な外部記憶装置である。PCMCIAインターフェイスを用いる装置はこの技術において周知である。

【0012】本発明の好適な実施例においては、拡張されたバス110も設けられる。拡張されたバス110はトランシーバ・コンポーネント105を介してシステムバス104へ結合される。第1のシステム・フラッシュ記憶装置108と第2のシステム・フラッシュ記憶装置109が拡張されたバス110へ結合される。第1のシステム・フラッシュ記憶装置108(フラッシュ1メモリ)が、本実施例において、第1の128Kバイトのシステム・メモリを構成する。第2のフラッシュ記憶装置109(フラッシュ2メモリ)は第2の128Kバイトのシステム・メモリを構成する。本発明の技術を用いて他の容量のシステム・メモリも実現できることが当業者には明らかである。また、1つのシステム・バスを用いるコンピュータ装置にも本発明は有用であることも当業者には明らかである。たとえば、拡張されたバス110が用いられていないと、システム・フラッシュ記憶装置108と109をシステム・バス104へ等しく直結できる。

【0013】システム・フラッシュ記憶装置108をア

クセスできるようにするために、チップ選択線121(CS0)が用いられる。同様に、システム・フラッシュ記憶装置109をアクセスできるようにするために、チップ選択線122(CS1)が用いられる。システム・フラッシュ記憶装置108, 109は、各記憶装置に設けられている記憶場所に対応する異なる関連するアドレス範囲(すなわち、アドレス空間)をおのおの有する。ROMデバイスを用いる従来の装置とは異なり、システム・フラッシュ記憶装置108, 109は、図1に示されているコンピュータ装置10の最初の電源投入時に、有効なデータまたは有効な命令を含むことを求められない。本実施例においては、システム・フラッシュ記憶装置108, 109は周知のフラッシュ記憶装置である。

【0014】次に、メモリ・カード・インターフェイス制御器102の詳しい図が示されている図2を参照する。メモリ・カード・インターフェイス制御論理210へ結合されている線205上の信号を起動させるために押しボタン(一時的)スイッチ204が設けられる。線205上の起動させられた信号は、図1に示されているコンピュータ装置10の動作を制御するために用いられる基本オペレーティング・システム・ソフトウェア(BIOS)をロードする要求をユーザーへ指示する。一時的スイッチ204が閉じられたことは保持論理310によりメモリ・カード・インターフェイス制御論理210内に保持される。線205からの保持された信号は出力BIOS\_LOAD信号として線209へ供給される。このBIOS\_LOAD信号は、下記のようにコンピュータ装置10のブートストラップ過程を起動するために用いられる。

【0015】線205は線314を介してリセット論理311へも結合される。リセット論理311は、スイッチ204が閉じられた時に、信号BIOS\_RESETを一時的に発生する。その信号BIOS\_RESETはメモリ・カード・インターフェイス制御論理210の出力として線213へ供給される。線213上の信号BIOS\_RESETは、リセット状態を処理コンポーネント101へ知らせるために十分長い期間だけ活動状態に保たれる。線213におけるBIOS\_RESET信号のようなりセット信号の適当な活動持続時間は当業者には周知である。

【0016】メモリ・カード・インターフェイス制御論理210への入力信号(RESET\_SW)が信号線211へ供給される。RESET\_SW信号は線211へ供給されて、線205からの活動化させられた信号を保持する保持論理310をリセットするために用いられる。その保持論理310が線211上のRESET\_SW信号によってリセットされると、線109におけるBIOS\_LOAD信号が活動化させられる。別の実施例においては、メモリ・カード・インターフェイス制御器

102の内部の制御レジスタを用いて、BIOS\_LOAD信号を非活動化するために使用できる。この別の実施例においては、メモリ・カード・インターフェイス制御器102内の制御レジスタへ書き込むことにより、BIOS\_LOAD信号を非活動化できる。

【0017】メモリ・カード・インターフェイス制御論理210はバス104からアドレスを受ける手段を含む。コンピュータ装置10の正常な動作モードにおいては、バス104から受けたアドレスを用いて、フラッシュ・メモリ・カード112内の対応する場所をインターフェイス212を介してアクセスする。このようにしてフラッシュ・メモリ・カードを制御およびアクセスするための手段は周知である。メモリ・カード・インターフェイス制御論理210は、バス104から線206を介して受けたアドレスを、線207を介してフラッシュ・メモリ・カードの異なるアドレス空間へ再びマップするためのアドレス再マップ論理312を含む。本実施例においては、アドレス再マップ論理312は特注のゲートアレイを用いて実現される。この再マップ論理は、1)入力線206へ供給されたアドレスが、周知のPCMCIA規格に従って、線207を介してフラッシュ・メモリ・カード112へマップされる正常な動作モードと、2)入力線206へ供給されたアドレスが、フラッシュ・メモリ・カード112内の異なるアドレス空間へ再マップされる再マップモードとの間で動作する。再マップされる状態は線313を介して再マップ論理312により受けられるBIOS\_LOAD信号により活動化される。コンピュータ装置10の最初のブートストラッピング中に、フラッシュ・メモリ・カード112内のアドレスが異なるアドレス空間へ再マップされる。

【0018】図1を再び参照して、キーボード制御器106も拡張されたバス110へ結合される。キーボード制御器106は、それが結合されている英数字キーボードからの入力と出力を管理する。本発明をあいまいにしないように、英数字キーボードは図1には示していない。英数字キーボードで特定のキーストロークセットを入れることにより、ユーザーはコンピュータ装置10を再スタート(すなわち、初期化または正常なブート)を行わせることができる。典型的なIBM PCすなわちコンパチブル・コンピュータ装置においては、コンピュータ装置を再スタートさせるためにCtl-A1t-Del指令列が用いられる。コンピュータ装置を再スタートさせるためのそのような手段は周知である。キーボード・フラッシュ・メモリ107が線137を介してキーボード制御器106へ結合される。

【0019】キーボード・フラッシュ・メモリ107は、キーボード・インターフェイス制御論理118を介して拡張されたバス110へも結合される。キーボード・インターフェイス制御論理118は線119を介して拡張されたバス110へ結合される。線119は制御情

報、アドレス、データ情報をキーボード・フラッシュ・メモリ107との間でやりとりするために用いられる。キーボード・インターフェイス制御論理118をバス104へ結合する信号線133が、メモリ・カード・インターフェイス制御器102からBIOS\_LOAD信号を受けるために用いられる。キーボード・インターフェイス制御論理118は、線133を介して受けた活動化されたBIOS\_LOAD信号を保持する保持論理320を含む。キーボード・インターフェイス制御論理118とキーボード制御器106を結合する信号線136上へ供給される保持論理320の出力が、コンピュータ装置10のブートストラップ・ローディング中にキーボード制御器106をリセット状態に保つために、ブートストラップ過程中に用いられる。線133に受けられた信号BIOS\_LOADは、キーボード・フラッシュ・メモリ107により用いられるアドレス空間の再マップをトリガるためにも、キーボード・インターフェイス制御論理118により用いられる。再マップ論理321は、活動化されている信号BIOS\_LOAD信号が線133へ供給されている間にその再マップ動作を行う。I/O制御器103をシステム・バス104へ結合する信号線134は、RESET\_SW信号をメモリ・カード・インターフェイス制御器102へ送るために用いられる。信号線134におけるRESET\_SW信号を活動化するとBIOS\_LOAD信号が非活動化され、それによりフラッシュ・メモリ・カード112とキーボード・フラッシュ・メモリ107のアドレス空間の再マップが不能にされる。I/O制御器103をキーボード・インターフェイス制御論理118へ結合する信号線135が、ブートストラップ過程中にキーボード制御器106をリセット状態に保持する保持論理320の動作を不能にするために用いられる。信号線132はチップ選択線121(CS0)をトランシーバ105へ結合するために用いられる。ブートストラップ動作中の外部フラッシュ・メモリ112のアドレス空間が再マップされている間に、信号線132は拡張されたバス110に対するアクセスを不能にするために用いられる。次に、図1と図2に示されている装置のブートストラップ過程中的動作を以下に説明する。

#### 【0020】実施例の動作の説明

図1と図2を参照して上で説明した本発明のコンピュータ装置のアーキテクチャは読み出し専用メモリ(ROM)を含まない。同様に、フラッシュ記憶装置107、108、109は、コンピュータ装置10の電源投入時に有効なデータまたは命令を含むことを求められない。コンピュータ装置10の初期化すなわちブートストラッピング中に、基本的なオペレーティング・システム・ソフトウェアのためのソースを供給するために、メモリ・カード・インターフェイス制御器102および関連する外部フラッシュ・メモリ・カード112がシステム・バス1

04へ結合される。その後で外部フラッシュ・メモリ・カード112をメモリ・カード・インターフェイス制御器102から容易に取り外すことができる。

【0021】コンピュータ装置10のブートストラッピングは、メモリ・カード・インターフェイス制御器102へ結合されているリセット・スイッチ204の操作により開始される。リセット・スイッチ204により発生された信号を処理コンポーネント101と、メモリ・カード・インターフェイス制御器102と、キーボード・インターフェイス制御論理118とにより受けができる限り、コンピュータ装置10のほとんどどのコンポーネントにもリセット・スイッチ204を物理的に装着できることが当業者には明らかであろう。また、リセット・スイッチ204は機械的スイッチまたは押しボタンである必要はなく、コンピュータ装置10への入力として供給される外部信号または専用インターフェイスで受けられる送信とができることが当業者には明らかであろう。本実施例においては、リセット・スイッチ204は一時的な活動信号を線205に生ずる。この一時的信号はメモリ・カード・インターフェイス制御論理210により受けられ、それの内部の保持論理310に格納される。リセット・スイッチ204が操作されると線209におけるBIOS\_LOAD信号と、線213における信号BIOS\_RESETとが対応して活動化される。線213におけるBIOS\_RESET信号は所定の時間活動状態を維持する。

【0022】BIOS\_LOAD信号が活動化された時にいくつかの事象が同時に起こる。第1に、線213におけるBIOS\_RESET信号が活動状態へ一時的に移ることにより、処理コンポーネント101がリセットされる。第2に、メモリ・カード・インターフェイス制御論理210内のアドレス再マップ論理312が活動状態にされ、それにより、線206に受けられたアドレス信号がフラッシュ・メモリ・カード112の異なるアドレス空間へ再マップされる。第3に、キーボード・インターフェイス制御論理118内のアドレス再マップ論理321が活動状態にされ、それにより、線119上に受けられているアドレス信号がキーボード・フラッシュ・メモリ107の異なるアドレス空間へ再マップされる。第4に、リセット信号が線136へ加えられて、維持されることにより、キーボード制御器106をリセット状態に保持する。リセット・スイッチ204の操作により開始されるそれら4つの各事象について以下に説明する。

【0023】線213におけるBIOS\_RESET信号が活動化されると、処理コンポーネント101のシステム・リセットが起こる。最初のプログラム・リセットにおいて、処理コンポーネント101の中央処理装置(CPU)がリセットされ、最初のプログラム・フェッチが特定のアドレス空間(たとえば、80386SLで

は6進法の物理アドレス01FFFFF0)へ再び向けられる。従来の装置においては、不揮発性システム・プログラム記憶装置を含むROMにそのアドレス空間が格納される。しかし、本発明においては、コンピュータ装置アーキテクチャにはROMは不要である。同様に、本発明は、コンピュータ装置の最初のブートストラップ・ローディングを制御するために有用である有効な不揮発性オペレーティング・システム・ファームウェアを含む、永久に設けられるデバイスを必要としない。とくに、キーボード・フラッシュ・メモリ107と、システム・フラッシュ1メモリ108と、システム・フラッシュ2メモリ109とは有効なデータまたは有効な命令を必ずしも含まない。ブートストラップ初期化の後の正常な動作モードにおいては、システム・フラッシュ1メモリ108は第1の128Kバイトのシステム・メモリを含み、システム・フラッシュ2メモリ109は第2の128Kバイトのシステム・メモリを含む。システム・フラッシュ1メモリ108の第1の128Kバイトのシステム・メモリは、システム・リセット時に処理コンポーネント101が向けられるアドレス空間に対応する。しかし、本発明におけるブートストラッピング動作中は、システム・フラッシュ1メモリ108に関連するアドレス空間は外部フラッシュ・メモリ・カード112へ再マップされる。この再マッピングは、前記のようにメモリ・カード・インターフェイス制御論理210内の再マップ論理312を用いて行われる。処理コンポーネント101がメモリ・カード・インターフェイス制御器102から信号BIOS\_RESETを受けると、システムの再スタートが開始され、制御は、メモリ・カード・インターフェイス制御論理210によるアドレス信号の再マッピングのために、外部フラッシュ・メモリ・カード112内の場所へ最初に向けられる。メモリ・カード・インターフェイス制御論理210により処理コンポーネント101が再び指令されると、データおよび命令を外部フラッシュ・メモリ・カード112からフェッチし、実行できる。外部フラッシュ・メモリ・カード112内のデータおよび命令が、処理コンポート101およびそれに関連するシステム資源のブートストラップ初期化をドライブする。外部フラッシュ・メモリ・カード112における命令の一部が、処理コンポーネント101へ結合されているランダム・アクセス・メモリ140を制御するために、処理コンポーネント101内のダイナミック・ランダム・アクセス・メモリ(DRAM)制御器を初期化するために用いられる。処理コンポーネント101のような処理コンポーネント内のDRAM制御器を用いることは周知である。処理コンポーネント101内のDRAM制御器が初期化されると、データと命令を外部フラッシュ・メモリ・カード112からフェッチし、それらをシステム・バス104を介してランダム・アクセス・メモリ140へ転送できる。このようにして、ランダ

ム・アクセス・メモリ (RAM) 140に、外部フラッシュ・メモリ・カード112から検索されたデータと命令をロードできる。

【0024】処理コンポーネント101は、システム・バス104上の希望の資源に関連するアドレスを提供することにより、コンピュータ装置10の資源をアクセスする。たとえば、システム・フラッシュ1メモリ108をアクセスするために、システム・フラッシュ1メモリ108のメモリ空間に関連するアドレスが、処理コンポーネント101によりシステム・バス104へ供給される。本実施例においては、システム・フラッシュ1メモリ108に関連するアドレス空間がシステム・アドレス空間の第1の128Kバイトに対応する。この範囲のアドレスが処理コンポーネント101によりシステム・バス104へ供給されると、I/O制御器103はシステム・バス104からそのアドレスを受け、チップ選択線121を可能状態にすることにより、システム・フラッシュ1メモリ108へのアクセスを可能にする。そうすると線113と、トランシーバ105と、線114と、拡張されたバス110と、線116とを介して処理コンポーネント101とシステム・フラッシュ1メモリ108の間でデータを転送できる。しかし、ブートストラッピング動作中は、メモリ・カード・インターフェイス制御論理210は、システム・バス104へ供給されて、システム・フラッシュ1メモリ108に関連するアドレスに対応するアドレスに応答する。ブートストラッピング動作中に外部フラッシュ・メモリ・カード112が読出されている間に、システム・フラッシュ1メモリ108の活動化を抑制するために、図1に示すように線121とトランシーバ105の間に線132が設けられる。メモリの読み出しサイクル中にチップ選択線(CS0)121が活動状態にある間に、線132はトランシーバ105の動作を不能にする信号を伝える。したがって、チップ選択線121が活動中であるメモリ読み出しサイクルの間にトランシーバ105は動作不能にされて、処理コンポーネント101とシステム・フラッシュ1メモリ108の間のデータの転送を阻止し、処理コンポーネント101と外部フラッシュ・メモリ・カード112の間の情報の転送を可能にする。ブートストラッピング動作中にデータと命令の少なくとも一方が外部フラッシュ・メモリ・カード112からフェッチされている限り、トランシーバ105は動作不能状態を保つ。

【0025】メモリ・カード・インターフェイス制御論理210により発生され、線209を介して出力される信号B IOS\_LOADは、線133を介してキーボード・インターフェイス制御論理108により受けられ、保持論理320により保持される。保持論理320の出力は線136を介してキーボード制御器106へ結合される。信号B IOS\_LOADがブートストラッピング動作中に活動状態になると、線136を介してキーボー

ド制御器106へ供給される活動信号出力が、ブートストラップ・ローディング動作中にキーボード制御器106を高インピーダンスおよびリセット状態に保つために用いられる。このようにしてリセットされた保持キーボード制御器106は、キーボード制御器106へ結合されている英数字キーボードで入力された指令列を用いて、コンピュータ装置のオペレータがシステムのスタートを開始することを阻止する。

【0026】線133にある活動状態の信号B IOS\_LOADは、ブートストラップ・ローディング動作中にキーボード・フラッシュ・メモリ107のアドレス空間の再マッピングを可能にするために、キーボード・フラッシュ・メモリ再マッピング論理321へも供給される。この再マッピング論理321は、信号B IOS\_LOADにより可能状態にされた時に、線119上のアドレス信号入力を、システム・フラッシュメモリ109に通常関連させられるアドレス空間へ再マップさせる。本実施例においては、そのアドレス空間は第2の128KバイトのシステムB IOS空間に対応する。線133上の信号B IOS\_LOADの非活動化により再マッピング論理137が動作不能にされると、キーボード・フラッシュ・メモリ107に関連するアドレス空間が、システム・フラッシュ2メモリ109とは異なるアレッシング領域へ戻る。好適な実施例においては、キーボード・フラッシュ・メモリ107に関連するアレッシング領域が正常な動作状態へ戻る。その状態においては、フラッシュ・メモリ107のアドレス空間はキーボード制御器106のみによりアドレス可能である。

【0027】信号B IOS\_LOADが活動状態にあり、キーボード・フラッシュ・メモリ107が第2の128Kバイト・システムB IOSメモリへ再マップされると、キーボード・フラッシュ・メモリ107の内容を消去すること、有効なデータをロードすること、ロードされた内容を検査するために読み戻すことの少なくとも1つを行うことができる。キーボード・フラッシュ・メモリ107におけるそれらの消去、ロードおよび検査の各動作は、外部フラッシュ・メモリ・カード112またはランダム・アクセス・メモリ140内の命令を処理コンポーネント101が実行する際に、その処理コンポーネント112により実行される。したがって、キーボード・フラッシュ・メモリ107はブートストラップ・ローディング中に正しく初期化できる。

【0028】処理コンポーネント101がそのD RAM制御器と、ロードされ、かつ検査されたランダム・アクセス・メモリ140と、ロードされ、かつ検査されたキーボード・フラッシュ・メモリ107とを初期化すると、メモリ・カード・インターフェイス制御論理210とキーボード・インターフェイス制御論理118において可能にされたアドレス信号の再マッピングはもはや必要ない。この理由から、処理コンポーネント101は、

**B IOS\_LOAD**信号をリセットする指令をI/O制御器103へ与える。そうするとメモリ・カード・インターフェイス制御論理210内の再マッピング論理312と、キーボード・インターフェイス制御論理118内の再マッピング論理321とが動作不能にされる。I/O制御器103は、図1に示すように線134上の、および図2に示すように線211上の、信号RESET\_SWを活動化することにより信号B IOS\_LOAD信号をリセットする。このRESET\_LOAD信号は活動状態にあるB IOS\_LOAD信号を保持する保持論理310をリセットすることにより、B IOS\_LOAD信号を非活動状態にする。別の実施例においては、メモリ・カード・インターフェイス制御器102の内部の制御レジスタを用いて、B IOS\_LOAD信号を非活動状態にできる。あるいは、メモリ・カード・インターフェイス制御器102内の制御レジスタへ書込むことによりB IOS\_LOAD信号を非活動状態にできる。

【0029】B IOS\_LOAD信号が非活動状態にされると、メモリ・カード・インターフェイス制御論理210がそれに対応して動作不能にされることにより、外部フラッシュ・メモリ・カード112へのシステム・フラッシュ1メモリ108アドレス空間の再マッピングを抑制する。同様に、B IOS\_LOAD信号が非活動状態にされると、キーボード・インターフェイス制御論理118内のアドレス再マッピング論理321が不能状態にされることにより、キーボード・フラッシュ・メモリ107へのシステム・フラッシュ2メモリ109の再マッピングを不能にする。B IOS\_LOAD信号は今は非活動状態にされているが、保持論理320はキーボード制御器106への活動状態にある高リセット信号を保持する。

【0030】アドレス・マッピングを正常な（再マップされない）構成へ復旧させると、システム・フラッシュ1メモリ108に関連するメモリ・アドレス空間は今は第1の128Kバイト・システム・メモリB IOSアドレス空間に対応し、システム・フラッシュ2メモリ109に関連するメモリ・アドレス空間は第2の128Kバイト・システム・メモリB IOSアドレス空間に対応する。処理コンポーネント101はランダム・アクセス・メモリ140に記憶されている命令をいま実行しているから、データと命令をシステム・フラッシュ1メモリ108とシステム・フラッシュ2メモリ109に記憶させるために、これらのデータと命令を正常に検索するようになメモリ・カード・インターフェイス制御器102をアクセスできる。好適な実施例においては、システム・フラッシュ1メモリ108とシステム・フラッシュ2メモリ109を、処理コンポーネント101が周知の信号セットと命令セットを用いて最初に消去する。それから、

処理コンポーネント101は、正常なオペレーティング・システム・ソフトウェア（B IOS）を検索するために、外部フラッシュ・メモリ・カード112をアクセスする。それから、そのB IOSはシステム・フラッシュ1メモリ108とシステム・フラッシュ2メモリ109へ転送される。それから、システム・フラッシュ1メモリ108とシステム・フラッシュ2メモリ109が有効なデータと有効な命令の少なくとも一方を含んでいることを検査するために、検査手順が実行される。

【0031】この点で、システム・フラッシュ1メモリ108と、システム・フラッシュ2メモリ109と、キーボード・フラッシュ・メモリ107とは有効な情報と、同じ検査された内容をロードされている。ブートストラッピング動作を終わらせるための残っている唯一のステップは、活動状態にある高いリセット信号をキーボード制御器106から除去することである。このステップを行うために、処理コンポーネント101はI/O制御器103へ指令を送って、キーボード・インターフェイス制御論理118へ結合されている線135へ活動状態の信号を与える。その信号は、線136に存在する高いリセット信号を保持する保持論理320をリセットする。保持論理320がリセットされると、活動状態にある高いリセット信号がキーボード制御器106へ供給されなくなり、その後でそのキーボード制御器106は正常な動作モードをとる。以上、プロセッサが、内蔵されている読出し専用メモリからブートストラップ・ロードされる代わりに、外部記憶装置からブートストラップ・ロードされるようなコンピュータ装置について説明した。

#### 【図面の簡単な説明】

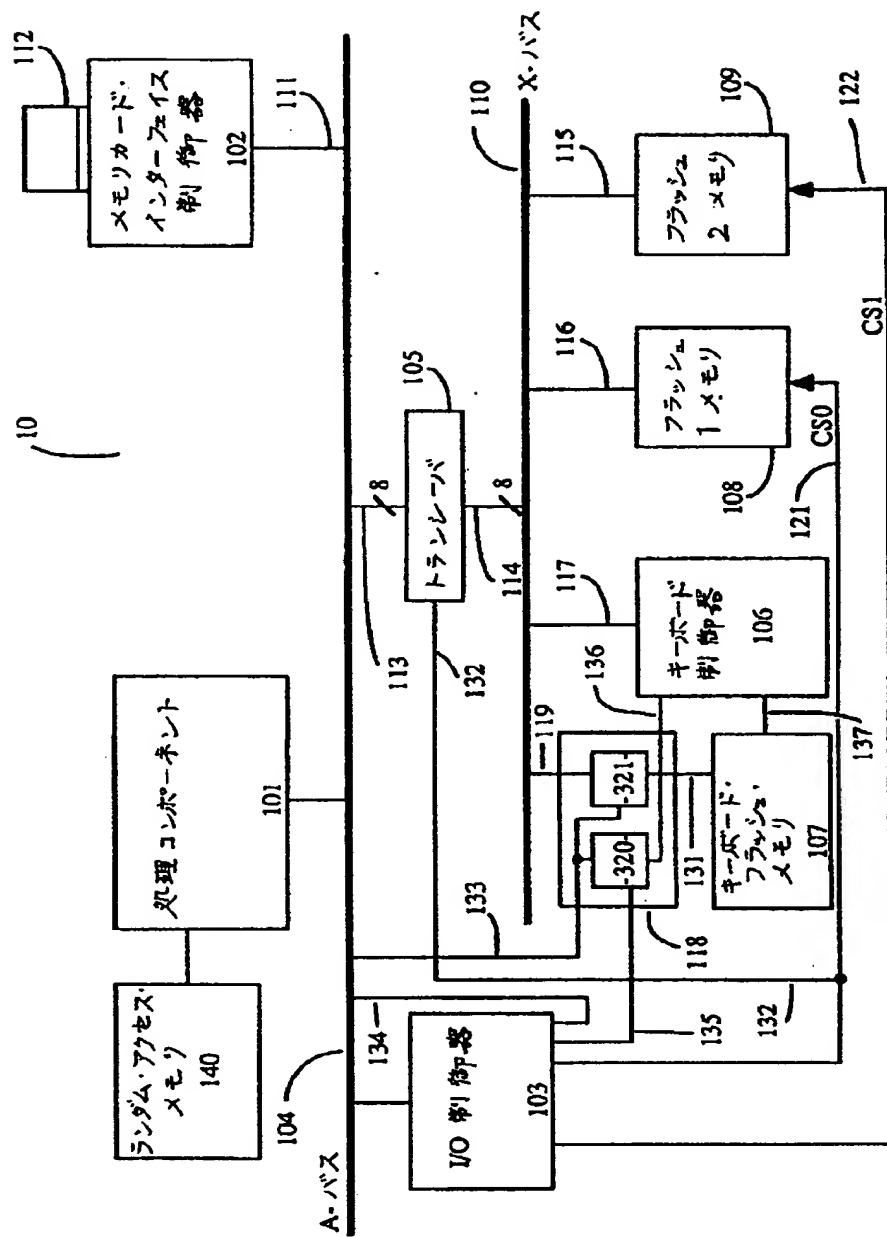
【図1】本発明のコンピュータ装置を示す。

【図2】メモリ・カード・インターフェイス制御器を示す。

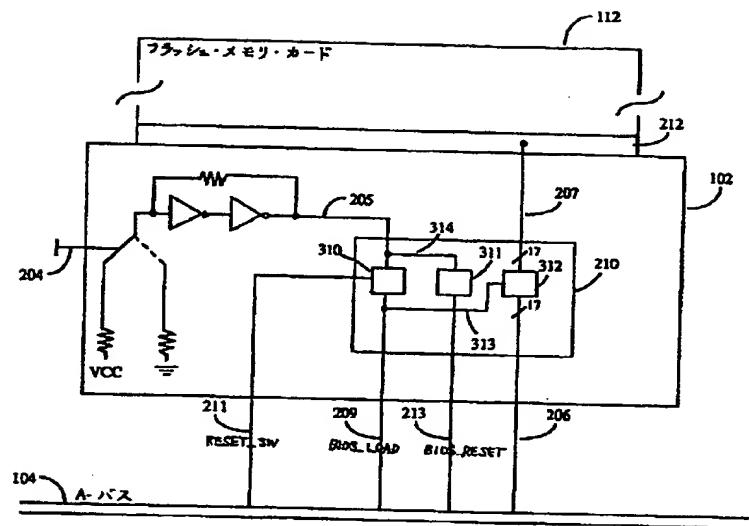
#### 【符号の説明】

- 10 コンピュータ装置
- 101 処理コンポーネント
- 102 メモリ・カード・インターフェイス制御器
- 103 I/O制御器
- 105 トランシーバ
- 106 キーボード制御器
- 107 キーボード・フラッシュ・メモリ
- 108 システム・フラッシュ1メモリ
- 109 システム・フラッシュ2メモリ
- 110 拡張されたバス
- 112 フラッシュ・メモリ・カード
- 210 メモリ・カード・インターフェイス制御論理
- 310 保持論理
- 312 アドレス再マップ論理

【図1】



【図2】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**